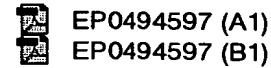


## **SEMICONDUCTOR DEVICE**

**Patent number:** JP4251983  
**Publication date:** 1992-09-08  
**Inventor:** KAI SHUNICHI; others: 01  
**Applicant:** TOSHIBA CORP.  
**Classification:**  
- international: H01L29/784  
- european:  
**Application number:** JP19910001083 19910109  
**Priority number(s):**

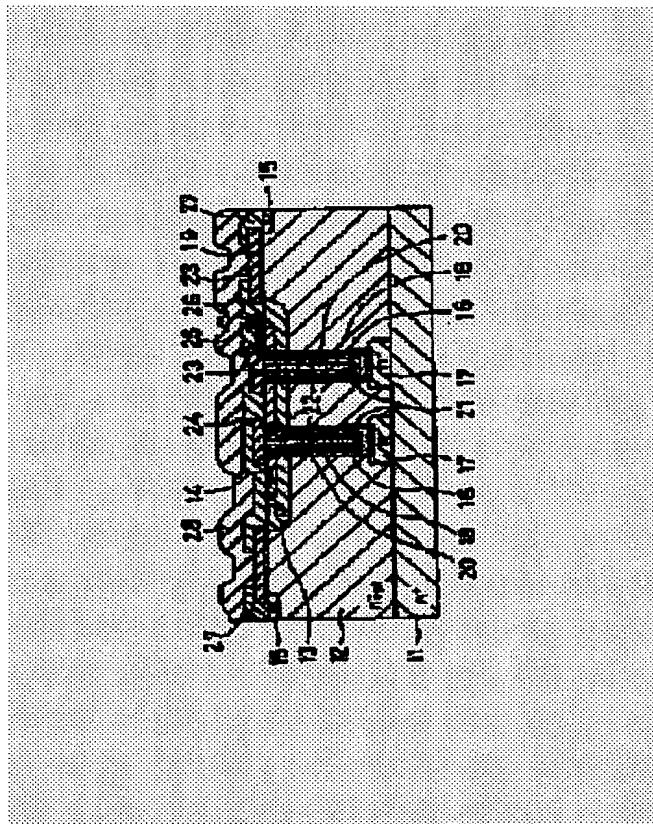
**Also published as:**



### **Abstract of JP4251983**

**PURPOSE:** To enable ON resistance to be reduced and at the same time withstand voltage to be improved and integration to be enhanced.

**CONSTITUTION:** A bottom portion of a trench portion 16 where a gate is provided inside is located near a silicon substrate 11 and a buried layer 17 is provided between the bottom portion of this trench portion 16 and the substrate 11, thus enabling a depth of the trench portion 16 to be deep. ON resistance to be reduced, and withstand voltage to be improved.



Data supplied from the [esp@cenet](mailto:esp@cenet) database - Worldwide

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平4-251983

(43) 公開日 平成4年(1992)9月8日

(51) Int.Cl.<sup>5</sup>  
H 01 L 29/784

識別記号

庁内整理番号

F I

技術表示箇所

9168-4M  
9168-4M  
9168-4M

H 01 L 29/78

H 01 L 29/78

H 01 L 29/78

3 2 1 V  
3 2 1 J  
3 2 1 R

審査請求 未請求 請求項の数 8 (全 6 頁)

(21) 出願番号 特願平3-1083

(22) 出願日 平成3年(1991)1月9日

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 開 俊一

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝多摩川工場内

(72) 発明者 馬場 嘉朗

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝多摩川工場内

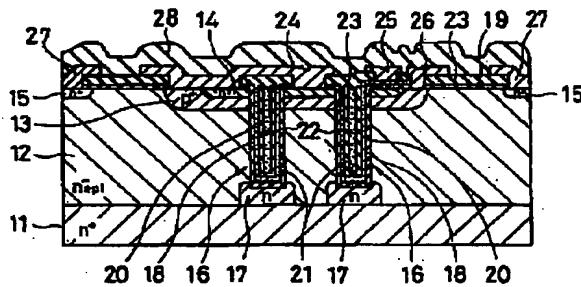
(74) 代理人 弁理士 鈴江 武彦

(54) 【発明の名称】 半導体装置

(57) 【要約】

【目的】 オン抵抗を低下することができるとともに、耐圧を向上することができ、しかも、高集積化を可能とする。

【構成】 内部にゲートが設けられるトレンチ部16の底部をシリコン基板11の近傍とし、このトレンチ部16の底部と基板11との間に埋め込み層17を設けていため、トレンチ部16の深さを深くして、オン抵抗を減少することができるとともに、耐圧を向上することができる。



1

## 【特許請求の範囲】

【請求項1】 第1導電型の半導体基板と、この半導体基板上に設けられた同一導電型の半導体層と、この半導体層に設けられた少なくとも1つのトレンチ部と、このトレンチ部の内部に設けられたゲート電極と、前記トレンチ部の底部と前記半導体基板との相互間に設けられた埋め込み層と、を具備したことを特徴とする半導体装置。

【請求項2】 前記埋め込み層の不純物キャリア濃度は、前記半導体基板中の不純物キャリア濃度より低く、前記半導体層中の不純物キャリア濃度より高いことを特徴とする請求項1記載の半導体装置。

【請求項3】 前記半導体層の内部には、前記トレンチ部の周囲に位置し、チャネル領域を構成する第2導電型の第2の半導体層と、この第2の半導体層上に形成されたソース領域を構成する第1導電型の第3の半導体層とが設けられていることを特徴とする請求項1記載の半導体装置。

【請求項4】 前記第1の半導体層の内部には、絶縁領域が設けられ、この絶縁領域を介在して小信号回路領域が設けられていることを特徴とする請求項1記載の半導体装置。

【請求項5】 第1導電型の半導体基板と、この半導体基板上に設けられた第2導電型の第1の半導体層と、この第1の半導体層に設けられた少なくとも1つのトレンチ部と、このトレンチ部の内部に設けられたゲート電極と、前記トレンチ部の底部と前記半導体基板との相互間に設けられた埋め込み層と、を具備したことを特徴とする半導体装置。

【請求項6】 前記半導体基板と第1の半導体層の間に、この半導体層と同一導電型の第2の半導体層が設けられ、前記埋め込み層はこの第2の半導体層に接して設けられていることを特徴とする請求項5記載の半導体装置。

【請求項7】 前記埋め込み層の不純物キャリア濃度は、前記第1の半導体層中の不純物キャリア濃度より低く、前記第2の半導体層中の不純物キャリア濃度より高いことを特徴とする請求項5または6記載の半導体装置。

【請求項8】 前記第1の半導体層の内部には、前記トレンチ部の周囲に位置し、チャネル領域を形成する第1導電型の第3の半導体層と、この第3の半導体層上に形成された第2導電型の第4の半導体層とが設けられていることを特徴とする請求項5記載の半導体装置。

## 【発明の詳細な説明】

【0001】

【産業上の利用分野】 この発明は、例えばパワーMOSFETに係わり、特に、トレンチ部にゲート構造を有する半導体装置に関する。

【0002】

2

【従来の技術】 パワーMOSFETとしては、従来、D MOS(Doublediffusion MOS)構造が一般的である。しかし、この構造の場合、微細化によって集積密度を向上させるには、次のような問題を有している。

【0003】 (1) ベース領域を形成するための横方向の拡散長が、レイアウト上の設計ピッチに制約される。

【0004】 (2) 隣り合ったベース領域間に形成される寄生JFET(Junction FET)が縦方向に流れる電流を狭め、バッファ層の抵抗成分を増大させる。

【0005】 上記(1)(2)の傾向は、設計ピッチを狭くした場合に顕著であり、この結果、レイアウト上の最適値が存在し、集積度を高めても、オン抵抗の低下には限界が生ずることとなる。しかし、オン抵抗を下げるために、素子の面積を大きくした場合、製造コストの上昇のみならず、素子の安定動作・並列接続による寄生発振等の問題を生じる可能性がある。

【0006】 そこで、ゲートをトレンチの内部に設け、この上方にソースを設け、基板をドレインとしたMOSFETが開発されている。このトレンチを利用したMOSFETの場合、上記二つの欠点を改善し、高集積化およびオン抵抗の低下を図ることができる。

【0007】

【発明が解決しようとする課題】 しかし、上記トレンチ内部にゲートを設けたMOSFETにおいては、トレンチを深くすることにより、オン抵抗を低下することができる。しかし、トレンチを深くすると、トレンチ底部とドレイン間の耐圧が低下するものであった。

【0008】 この発明は、上記課題を解決するためになされたものであり、その目的とするところは、オン抵抗を低下することができるとともに、耐圧を向上することができ、しかも、高集積化が可能な半導体装置を提供しようとするものである。

【0009】

【課題を解決するための手段】 すなわち、この発明は、上記課題を解決するため、第1導電型の半導体基板と、この半導体基板上に設けられた同一導電型の半導体層と、この半導体層に設けられた少なくとも1つのトレンチ部と、このトレンチ部の内部に設けられたゲート電極と、前記トレンチ部の底部と前記半導体基板との相互間に設けられた埋め込み層とを設けている。

【0010】 また、前記埋め込み層の不純物キャリア濃度は、前記半導体基板中の不純物キャリア濃度より低く、前記半導体層中の不純物キャリア濃度より高く設定されている。

【0011】 さらに、前記半導体層の内部には、前記トレンチ部の周囲に位置し、チャネル領域を形成する第2導電型の第2の半導体層と、この第2の半導体層上に形成されたソース領域を構成する第1導電型の第3の半導体層とが設けられている。

【0012】また、前記第1の半導体層の内部には、絶縁領域が設けられ、この絶縁領域を介在して小信号回路領域が設けられている。

【0013】さらに、この発明においては、第1導電型の半導体基板と、この半導体基板上に設けられた第2導電型の第1の半導体層と、この第1の半導体層に設けられた少なくとも1つのトレンチ部と、このトレンチ部の内部に設けられたゲート電極と、前記トレンチの底部と前記半導体基板との相互間に設けられた埋め込み層とを設けている。

【0014】また、前記半導体基板と第1の半導体層の間には、この半導体層と同一導電型の第2の半導体層が設けられ、前記埋め込み層はこの第2の半導体層に接して設けられている。

【0015】さらに、前記埋め込み層の不純物キャリア濃度は、前記第1の半導体層中の不純物キャリア濃度より低く、前記第2の半導体層中の不純物キャリア濃度より高く設定されている。

【0016】また、前記第1の半導体層の内部には、前記トレンチ部の周囲に位置し、チャネル領域を形成する第1導電型の第3の半導体層と、この第3の半導体層上に形成された第2導電型の第4の半導体層とが設けられている。

#### 【0017】

【作用】この発明は、内部にゲートが設けられるトレンチ部の底部を基板の近傍とし、このトレンチの底部と基板との間に埋め込み層を設けている。したがって、トレンチ部の深さを深くして、オン抵抗を減少することができるものである。

【0018】しかも、埋め込み層の不純物キャリア濃度を、半導体基板中の不純物キャリア濃度より低く、半導体層中の不純物キャリア濃度より高く設定しているため、十分な耐圧を確保することができるものである。

【0019】また、トレンチ部の周囲に位置する半導体層の内部に、チャネル領域を形成する第2導電型の第2の半導体層と、第1導電型の第3の半導体層を形成することにより、パワーモスFETを構成できる。

【0020】さらに、第1の半導体層の内部に、絶縁領域を設け、この絶縁領域によって第1の半導体層の内部を分割することにより、1チップ中にパワーモスFETと小信号回路を設けることができる。

【0021】また、第1導電型の半導体基板と、第2導電型の半導体層、さらに、第1導電型の半導体層、第2導電型の半導体層を交互に配置してサイリスタ構造とすることにより、この発明をIGBTとして作用させることができる。

#### 【0022】

【実施例】以下、この発明の一実施例について図面を参照して説明する。

#### 【0023】図1は、パワーモスFETを示すもので

ある。同図において、ドレインとしてのn<sup>+</sup>型シリコン基板11は、不純物濃度が $1 \times 10^{18} \text{ cm}^{-3}$ 以上とされている。このn<sup>+</sup>型シリコン基板11上には、n<sup>-</sup>型シリコンからなるエピタキシャル層12が設けられる。このエピタキシャル層12は厚みが約 $10 \mu\text{m}$ で、不純物濃度は $1 \times 10^{15} \text{ cm}^{-3}$ とされている。このエピタキシャル層12中には、P<sup>+</sup>型不純物領域であるチャネル領域13が設けられ、このチャネル領域13中には、n<sup>+</sup>型不純物領域であるソース領域14が設けられている。前記チャネル領域13は拡散の厚みが $2.0 \mu\text{m}$ で、不純物濃度が $1 \times 10^{18} \text{ cm}^{-3}$ とされ、前記ソース領域14は拡散の厚みが $0.5 \mu\text{m}$ で、不純物濃度が $1 \times 10^{20} \text{ cm}^{-3}$ とされている。このソース領域14を形成する場合、同時に接合終端部の漏れ電流を防止するためのチャンネルストッパー15が形成される。これらソース領域14、チャネル領域13およびエピタキシャル層12の内部には、トレンチ16が形成され、このトレンチ16の底部と前記基板11の相互間に、n型の埋め込み層17が設けられている。この埋め込み層17の厚みは $3 \sim 4 \mu\text{m}$ であり、不純物濃度は $1 \times 10^{18} \text{ cm}^{-3} \sim 1 \times 10^{20} \text{ cm}^{-3}$ とされている。この埋め込み層17は例えばトレンチ16を介して不純物イオンを注入することによって形成される。

【0024】前記トレンチ16の内面には $500 \sim 1000$ オングストロームの厚みでゲート酸化膜(SiO<sub>2</sub>)18が設けられている。このゲート酸化膜18はエピタキシャル層12上のフィールド領域の熱酸化膜19と同時に形成される。前記ゲート酸化膜18の内側には、ポリシリコンによって構成されたゲート電極20が $4000$ オングストロームの厚みで設けられている。このゲート電極20の内側には、ポリシリコン酸化膜21が $\sim 500$ オングストロームの厚みで設けられている。さらに、このポリシリコン酸化膜21の内側には、例えば $8000$ オングストロームの厚みによって、埋め込み用ポリシリコン膜22が設けられている。

【0025】上記トレンチ16および前記熱酸化膜19の上部には、層間絶縁膜23が形成される。この層間絶縁膜23は、SiO<sub>2</sub>あるいはBPSGまたはPSGによって形成される。SiO<sub>2</sub>の場合、膜厚は $4000$ オングストロームであり、BPSGの場合、膜厚は $8000$ オングストロームである。また、PSGの場合、膜厚は $2000$ オングストロームである。さらに、前記ソース領域14、ゲート電極19、チャネル領域13、チャネルストッパー15上には、それぞれソース電極24、ゲート電極25、フィールドプレート用電極26、チャネルストッパー用電極27が設けられる。これら電極24～27の厚みはT1によって形成する場合 $1500$ オングストローム、A1によって形成する場合 $4.0 \mu\text{m}$ である。これら電極24～27等の上部には、プラズマSiNからなる最終保護膜28が $1.5 \mu\text{m}$ の厚みで形成されている。

【0026】上記構成において、トレンチの深さおよびエピタキシャル層の不純物キャリヤ濃度と、オン抵抗の関係について説明する。

【0027】図2に示すごとく、オン抵抗はトレンチの深さが深くなり、トレンチの底部が基板接近するに従って低下する。また、図3に示すごとく、エピタキシャル層の不純物キャリヤ濃度が高くなるに従って、オン抵抗は減少する。しかし、トレンチの深さが深くなり、トレンチの底部が基板に接近した場合、耐圧が低下し、さらに、エピタキシャル層の不純物キャリヤ濃度が高くなるに従って、図4に示すごとく、耐圧が低下する。後者については、耐圧とオン抵抗のトレードオフによって最適化を図ることで対処せざるを得ない。また、前者については、トレンチの底部で電界集中を緩和することによって対処することができる。

【0028】そこで、この発明においては、トレンチ16の底部と基板11の相互間に埋め込み層17を設け、電界集中を緩和している。すなわち、図5に示すごとく、トレンチ16の深さを $7\mu\text{m}$ とした場合、埋め込み層17の不純物キャリヤ濃度が $5 \times 10^{16}\text{cm}^{-3} \sim 1 \times 10^{17}\text{cm}^{-3}$ の領域において、電界強度を $2 \times 10^6\text{V/cm}$ に緩和することができる。

【0029】上記構成によれば、ゲート電極20が設けられたトレンチ16の深さを $7\mu\text{m}$ と深くし、基板11に近接させている。したがって、素子の面積を増大することなく、オン抵抗を減少することができる。

【0030】しかも、トレンチ16の底部と基板11の相互間に埋め込み層17を設け、この埋め込み層17の不純物濃度を基板11の濃度より低く、エピタキシャル層12の濃度より高く設定している。したがって、トレンチ16の底部における電界の集中を緩和することができ、耐圧を向上することができるものである。

【0031】次に、この発明の他の実施例について説明する。尚、第1の実施例と同一部分には同一符号を付し、異なる部分についてのみ説明する。

【0032】図6は、この発明の第2の実施例を示すものであり、この発明をIGBT(Insulated gate bipolar transistor)に適用した場合を示すものである。

【0033】同図において、コレクタとしてのP<sup>+</sup>型のシリコン基板31上には、n<sup>+</sup>型の半導体層32が設けられている。この半導体層32の上部にn<sup>-</sup>のエピタキシャル層12が設けられ、このエピタキシャル層12内にトレンチ16、埋め込み層17等が設けられている。

【0034】上記構成によれば、オン抵抗が低く、しかも、耐圧が高いIGBTを提供できる。

【0035】図7は、図6を変形したこの発明の第3の実施例を示すものである。

【0036】図6においては、P<sup>+</sup>型のシリコン基板31上にn<sup>+</sup>型の半導体層32を設けたが、この実施例においては、P<sup>+</sup>型のシリコン基板41上にn<sup>-</sup>のエピタ

キシャル層12が設けられ、このエピタキシャル層12内にトレンチ16、埋め込み層17等が設けられている。このような構成によっても第2の実施例と同様の効果を得ることができる。

【0037】図8は、この発明の第4の実施例を示すものであり、第1の実施例と同一部分には同一符号を付し、異なる部分についてのみ説明する。

【0038】この実施例は、パワーMOSFETとCMOSやバイポラによって構成された小信号回路が同一チップ上に設けられたIPD(Intelligent power device)を示すものである。

【0039】この場合、シリコン酸化膜51を介在して貼り合わされたn<sup>+</sup>型基板52、n型基板53が用いられる。n型基板53とシリコン酸化膜51内には、前記エピタキシャル層12が設けられ、このエピタキシャル層12内に前記トレンチ内にゲート電極を有するパワーMOSFETが設けられる。また、n型基板53内には前記シリコン酸化膜51と連結された絶縁領域54が設けられる。この絶縁領域54は、前記トレンチ内にゲート電極を形成する工程と同一の工程によって形成される。この絶縁領域54によって絶縁されたn型基板53が小信号回路領域55とされ、この小信号回路領域55内にCMOSやバイポラによって構成された小信号回路が設けられる。

【0040】上記実施例によれば、トレンチ内にゲート電極を有するパワーMOSFETを形成する工程と同一の工程によって絶縁領域44を形成することができ、製造工程を減少することができる。

【0041】尚、この発明は上記実施例に限定されるものではなく、発明の要旨を変えない範囲において、種々変形実施可能なことは勿論である。

#### 【0042】

【発明の効果】以上詳述したようにこの発明によれば、オン抵抗を低下することができるとともに、耐圧を向上することができ、しかも、高集積化が可能な半導体装置を提供できる。

#### 【図面の簡単な説明】

【図1】この発明の第1の実施例を示す側断面図。

【図2】図1のトレンチの深さとオン抵抗の関係を説明するために示す図。

【図3】図1の基板濃度とオン抵抗の関係を説明するために示す図。

【図4】図1の基板濃度と耐圧の関係を説明するために示す図。

【図5】図1埋め込み層の濃度と電界強度の関係を説明するために示す図。

【図6】この発明の第2の実施例を示すものであり、この発明をIGBTに適用した場合を示す側断面図。

【図7】この発明の第3の実施例を示すものであり、この発明をIGBTに適用した場合を示す側断面図。

7

【図8】この発明の第4の実施例を示すものであり、この発明をIPDに適用した場合を示す側断面図。

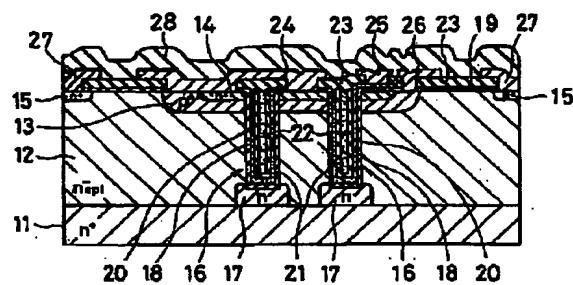
## 【符号の説明】

1 1…シリコン基板、1 2…エピタキシャル層、1 3…

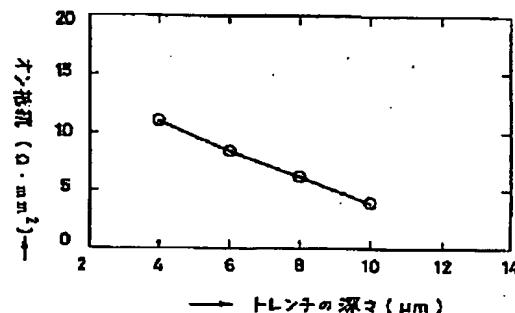
8

チャネル領域、1 4…ソース領域、1 6…トレンチ、1 7…埋め込み層、3 1、4 1…P<sup>+</sup>型のシリコン基板、5 1…シリコン酸化膜、5 2…n<sup>+</sup>型基板、5 3…n型基板、5 4…絶縁領域、5 5…小信号回路領域。

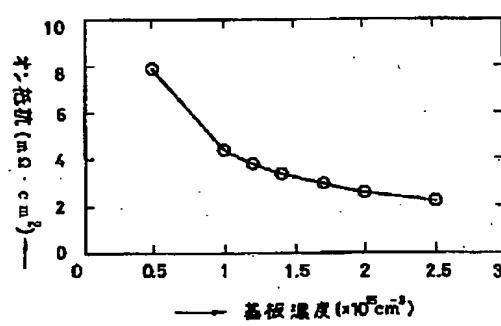
【図1】



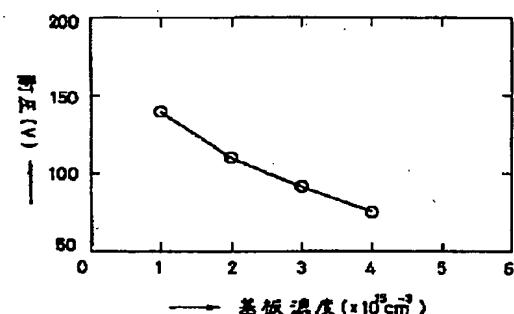
【図2】



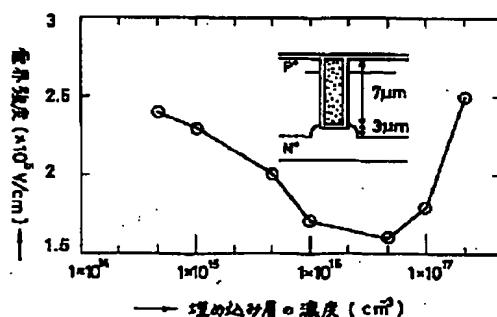
【図3】



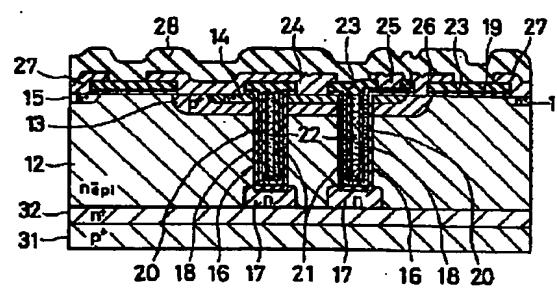
【図4】



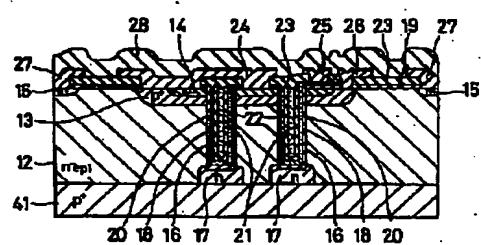
【図5】



【図6】



【図7】



【図8】

